

Voltage controlled oscillator

Patent number: EP1187308
Publication date: 2002-03-13
Inventor: MAJOS JACQUES (FR)
Applicant: FRANCE TELECOM (FR)
Classification:
 - international: H03B5/12
 - european: H03B5/12C1, H03B5/12B
Application number: EP20010402213 20010823
Priority number(s): FR20000011558 20000908

Also published as:

FR2814007 (A1)
 EP1187308 (A3)

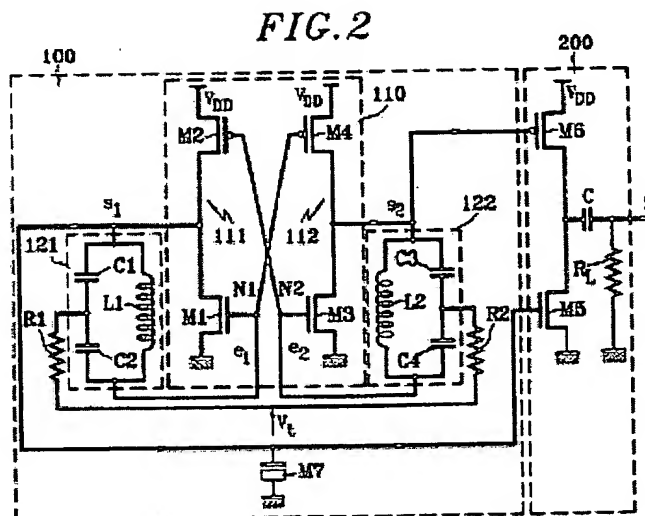
Cited documents:

GB2338849
 US5483207
 JP3029504

Abstract of EP1187308

The voltage-controlled oscillator comprises an oscillator stage (100) comprising two inverters (111,112), each constituted by two transistors (M1,M2;M3,M4) of opposite conductivity type connected in series, coupled to form a quadripole circuit (110) with two inputs (e1,e2) and two outputs (s1,s2), and two oscillatory circuits (121,122) connected in parallel between the inputs and the outputs of the quadripole circuit and controlled in frequency by a tuning voltage (V_t), and an amplifier stage (200) comprising two transistors (M5,M6) of opposite conductivity type connected in series, whose gates are connected to the two outputs of the oscillator stage.

The inputs and the outputs of the quadripole circuit (110) correspond to the respective inputs and outputs of the constituent inverters (111,112), and the gain of the quadripole circuit is maximum when the inputs are in phase. The input of inverter is connected to the gate of transistor of the first conductivity type, and the output is connected to the midpoint between two transistors. The transistors are of the metal-oxide-semiconductor (MOS) type. In the second embodiment, the inverters of the quadripole circuit are coupled so that the output of one inverter is connected to the gate of transistor of the second conductivity type of the other inverter; the amplifier stage comprises two transistors of the same conductivity type connected in series.



7A

THIS PAGE BLANK (USPTO)

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 1 187 308 A2

(12)

DEMANDE DE BREVET EUROPEEN

(43) Date de publication:

13.03.2002 Bulletin 2002/11

(51) Int Cl.7: H03B 5/12

(21) Numéro de dépôt: 01402213.1

(22) Date de dépôt: 23.08.2001

(84) Etats contractants désignés:

AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE TR

Etats d'extension désignés:

AL LT LV MK RO SI

(30) Priorité: 08.09.2000 FR 0011558

(71) Demandeur: FRANCE TELECOM
75015 Paris (FR)(72) Inventeur: Majos, Jacques
38420 Le Versoud (FR)(74) Mandataire: Lemoyne, Didier
France Telecom
R&D/VAT/VPI38-40, rue du Général Leclerc
F-92794 Issy-les-Moulineaux Cx 9 (FR)

(54) Oscillateur commande en tension

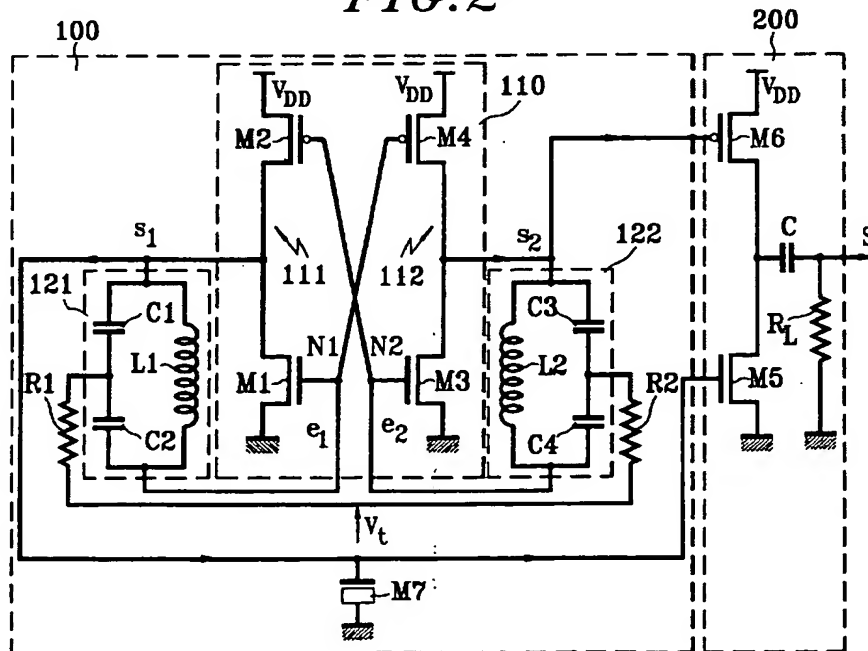
(57) Oscillateur commandé en tension, comportant un étage oscillant (100 ; 100') présentant une structure à deux inverseurs (111, 112 ; 111', 112') couplés réalisés en technologie CMOS.

Selon l'invention, lesdits inverseurs sont câblés pour former un quadripôle (110 ; 110') à deux entrées (e1, e2 ; e'1, e'2) et deux sorties (s1, s2 ; s'1, s'2), correspondant respectivement aux entrées et aux sorties des inverseurs, le gain du quadripôle (110 ; 110') étant

maximal sur chacune des sorties quand les entrées sont en phase, et en ce que deux circuits oscillants (121, 122) sont disposés en parallèle respectivement entre les entrées (e1, e2 ; e'1, e'2) et les sorties (s1, s2 ; s'1, s'2) des inverseurs, lesdits circuits oscillants (121, 122) étant commandés en fréquence par une tension (Vt) d'accord.

Application à l'émission et à la réception radio haute fréquence.

FIG.2



Description

[0001] La présente invention concerne un oscillateur commandé en tension, comportant un étage oscillant à deux inverseurs couplés réalisés en technologie CMOS.

[0002] L'invention trouve une application particulièrement avantageuse dans le domaine des hautes fréquences, de l'ordre de 5 GHz, utilisées en émission et réception radio.

[0003] Il est prévu dans l'avenir le déploiement de réseaux locaux radio permettant de commander un certain nombre d'équipements présents chez un abonné. De manière à limiter le rayonnement afin qu'un réseau local ne puisse pas perturber les réseaux voisins, la bande de fréquence retenue pour l'onde porteuse est celle située autour de 5 GHz. A chaque abonné est attribué un canal d'environ 20 MHz de largeur contenu dans cette bande de fréquence. Il est donc nécessaire de disposer en réception d'un oscillateur local capable d'engendrer des fréquences précises pour sélectionner un canal donné. Cette fonction est réalisée au moyen d'un oscillateur commandé en tension (VCO) apte à produire une fréquence ajustable dans la bande des 5 GHz et avec la largeur de canal requise.

[0004] Bien entendu, s'agissant d'applications grand public où le facteur économique est un élément déterminant, il est essentiel d'assurer les performances exigées pour les VCO par des technologies à haut niveau d'intégration et à faible coût de production.

[0005] Dans cette perspective, la technologie bipolaire, particulièrement propice à l'intégration des composants RF, pourrait paraître un bon candidat. Cependant, si elle peut être mise en oeuvre avantageusement pour réaliser les fonctions radio des circuits, cette technologie ne peut être utilisée pour le traitement des signaux à plus basse fréquence du fait d'une consommation élevée et d'un coût prohibitif dû aux surfaces de silicium nécessaires. Par contre, la technologie CMOS se prête particulièrement bien aux fonctions de traitement du signal, d'où l'idée de chercher à l'utiliser pour réaliser l'ensemble du circuit, y compris le VCO.

[0006] C'est ainsi qu'a été proposé le circuit de la figure 1 qui représente un étage oscillant d'un oscillateur commandé en tension, présentant une structure à deux inverseurs couplés réalisés en technologie CMOS. Plus précisément, les deux inverseurs sont constitués par des transistors de polarité opposée en série, à savoir M1 et M2, d'une part, et M3 et M4, d'autre part. Comme l'indiquent la figure 1, les deux inverseurs sont en configuration "rebouclée".

[0007] La demanderesse a pu établir que le VCO connu de la figure 1 fonctionnant à 5 GHz permettait d'atteindre un bruit de phase de l'ordre de -92 dBc à 100 kHz de la porteuse, ce qui s'avère insuffisant pour certaines applications, comparé à la valeur de -100 dBc obtenue en technologie bipolaire. D'autre part, les sorties S1 et S2 de la structure de la figure 1 sont en opposition

de phase et donc mal adaptées à l'utilisation d'un amplificateur de type push-pull pour extraire un signal au-delà de 5 GHz, ceci à cause de la capacité parasite d'entrée de l'amplificateur.

[0008] Aussi, le problème technique à résoudre par l'objet de la présente invention est de proposer un oscillateur commandé en tension, comportant un étage oscillant présentant une structure à deux inverseurs couplés réalisés en technologie CMOS, qui permettrait d'obtenir des performances au moins équivalentes à celles des VCO bipolaires, notamment en ce qui concerne le bruit de phase, et qui, subsidiairement, offrirait une meilleure compatibilité avec les amplificateurs de type push-pull que les VCO MOS connus.

[0009] La solution au problème technique posé consiste, selon la présente invention, en ce que lesdits inverseurs sont câblés pour former un quadripôle à deux entrées et deux sorties, correspondant respectivement aux entrées et aux sorties des inverseurs, le gain du quadripôle étant maximal sur chacune des sorties quand les entrées sont en phase, et en ce que deux circuits oscillants sont disposés en parallèle respectivement entre les entrées et les sorties des inverseurs, lesdits circuits oscillants étant commandés en fréquence par une tension d'accord.

[0010] Ainsi, du fait du câblage conférant un gain maximal au quadripôle pour des entrées en phase, l'oscillateur selon l'invention fonctionne automatiquement sur la fréquence assurant cette condition, d'où une meilleure stabilité d'oscillation et un bruit de phase plus faible résultant de l'auto-synchronisation des deux inverseurs.

[0011] Selon un mode de réalisation particulier de l'oscillateur commandé en fréquence, objet de l'invention, chaque inverseur est constitué de deux transistors MOS de polarité opposée disposés en série, l'entrée de l'inverseur étant située sur la grille d'un transistor d'une première polarité et la sortie au point milieu des deux transistors.

[0012] Une première variante de l'invention prévoit que l'entrée d'un inverseur est reliée à la grille du transistor d'une deuxième polarité de l'autre inverseur, la deuxième polarité étant opposée à ladite deuxième polarité. Comme on le verra en détail plus loin, l'avantage de cette première variante est que les deux sorties de l'étage oscillant sont en phase. Il est alors permis d'envisager que l'oscillateur conforme à l'invention comporte un étage amplificateur constitué de deux transistors MOS de polarité opposée disposés en série, chaque sortie dudit étage oscillant étant reliée à la grille d'un desdits transistors MOS. Ainsi, la capacité parasite de l'amplificateur, de type push-pull, vue par chacune des sorties est la moitié de la capacité parasite totale. Il en résulte une meilleure bande passante et la possibilité d'augmenter la fréquence de l'oscillateur au-delà de 5 GHz.

[0013] Une deuxième variante de l'invention prévoit que la sortie d'un inverseur est reliée à la grille du tran-

sistor d'une deuxième polarité de l'autre inverseur, la deuxième polarité étant opposée à ladite première polarité. Selon cette deuxième variante, ces deux sorties de l'étage oscillant sont en opposition de phase, il n'est donc pas possible d'obtenir l'avantage de la première variante d'augmentation de la bande passante de l'oscillateur avec un étage amplificateur de type push-pull. Toutefois, cet avantage peut néanmoins être atteint si, selon l'invention, l'oscillateur comporte un étage amplificateur constitué de deux transistors MOS de même polarité disposés en série, chaque sortie dudit étage oscillant étant reliée à la grille d'un desdits transistors MOS.

[0014] La description qui va suivre en regard des dessins annexés, donnés à titre d'exemples non limitatifs, fera bien comprendre en quoi consiste l'invention et comment elle peut être réalisée.

[0015] La figure 2 est un schéma d'une première réalisation d'un oscillateur commandé en tension, conforme à l'invention.

[0016] La figure 3 est un schéma d'une deuxième réalisation d'un oscillateur commandé en tension, conforme à l'invention.

[0017] La figure 4 est un schéma d'un circuit de commande des circuits oscillants des oscillateurs des figures 2 et 3.

[0018] Sur la figure 2 est représenté un oscillateur commandé en tension, comportant un étage oscillant 100 et un étage amplificateur 200.

[0019] L'étage oscillant 100 présente une structure à deux inverseurs 111, 112 couplés réalisés en technologie CMOS. Plus précisément, un premier inverseur 111 est constitué par les deux transistors MOS M1, M2, de polarité opposée, disposés en série, l'entrée e1 dudit inverseur 111 étant située sur la grille du transistor M1, ici d'une première polarité N, et la sortie s1 étant prise au point milieu des deux transistors MOS M1, M2. Symétriquement, le deuxième inverseur 112 comprend les deux transistors MOS M3, M4, également de polarité opposée et disposés en série, l'entrée e2 et la sortie s2 de cet inverseur étant respectivement située sur la grille du transistor M3, de polarité N, et sur le point milieu des deux transistors M3, M4.

[0020] Dans l'exemple de réalisation de la figure 1, le couplage des deux inverseurs 111, 112 est effectué en reliant l'entrée e1, e2 d'un inverseur à la grille du transistor MOS M4, M2, de deuxième polarité P opposée à la première, de l'autre inverseur.

[0021] Il est à noter une particularité du montage des deux inverseurs 111, 112 de la figure 1 qui réside dans le fait que du point de vue câblage les deux inverseurs ne sont pas fermés puisque les grilles des transistors M1 et M2, d'une part, et M3 et M4, d'autre part, ne sont pas interconnectées à un même noeud. Cependant, le quadripôle 110, dont les entrées et les sorties correspondent aux entrées e1, e2 et aux sorties s1, s2 des inverseurs, présentent un gain maximal quand les entrées e1, e2 sont en phase. En d'autres termes, lorsque

le quadripôle 110 a atteint son point de fonctionnement nominal défini par le gain maximum, les noeuds N1 et N2 sont en phase et, de ce fait, les inverseurs 111, 112 sont fonctionnellement fermés.

[0022] Pour compléter l'étage oscillant 100, deux circuits oscillants 121, 122 sont disposés en parallèle respectivement entre les entrées e1, e2 et les sorties s1, s2 des inverseurs 111, 112. Comme l'indique la figure 2, les circuits oscillants 121, 122 sont commandés en fréquence par une tension Vt d'accord à travers les résistances R1 et R2. Chaque circuit oscillant est formé d'une inductance L1, L2 et d'une capacité en parallèle réalisée par deux capacités C1, C2 et C3, C4 montées en série ; ce sont en fait des transistors MOS de type N ou P (varactors).

[0023] L'étage 200 de sortie est un amplificateur de type push-pull constitué de deux transistors MOS M5, M6 de polarité opposée disposés en série, commandés sur leur grille respective par les signaux des sorties s1, s2 de l'étage oscillant 100, cette double commande du push-pull 200 n'étant possible que parce que les sorties s1, s2 sont en phase. Ainsi, chaque signal de sortie ne charge qu'un seul des transistors M5, M6, ce qui confère à l'oscillateur de l'invention une meilleure bande passante par rapport au VCO connu de l'art antérieur (figure 1) où les sorties s1, s2 sont en opposition de phase et où une même sortie, s2, charge simultanément les deux transistors du push-pull.

[0024] On observera sur la figure 1 que la sortie s1 est en fait chargée par deux transistors, à savoir le transistor M5 de l'étage amplificateur 200 et un transistor M7 de type N afin d'équilibrer les charges des sorties s1 et s2. En effet, la sortie s2 est chargée par le transistor M6 de type P de l'amplificateur 200 qui est plus large que le transistor M5 de type N dans les rapports des mobilités des électrons et des trous. Cet équilibrage permet d'éviter d'apporter des distorsions au signal S de sortie.

[0025] La figure 3 montre un deuxième exemple de réalisation d'un oscillateur commandé en tension, objet de l'invention, qui diffère de l'exemple de la figure 2 par la façon dont sont couplés les inverseurs 111' et 112'. Dans l'étage oscillant 100' de la figure 3, la sortie s1', s2' d'un inverseur 111', 112' est reliée à la grille du transistor MOS M4, M2 de polarité P opposée à celle des transistors MOS M1, M3, de l'autre inverseur.

[0026] Le quadripôle 110' présente également un gain maximal quand les entrées e'1, e'2 des inverseurs 111', 112' sont en phase. Par contre, les sorties s'1 et s'2 sont en opposition de phase, ce qui exclut de pouvoir les appliquer sur les transistors MOS M5, M6 de l'étage amplificateur 200, comme sur la figure 2. Une solution permettant d'augmenter la bande passante de l'oscillateur de la figure 3 consiste à réaliser un étage amplificateur 200' avec deux transistors MOS M5, M6' de même polarité placés en série, chaque sortie s'1, s'2 de l'étage oscillant 100' étant reliée à la grille d'un desdits transistors M5, M6'.

[0027] Afin de faciliter l'ajustage de la bande de fréquence, on peut au réglage fin assuré par la tension V_t d'accord ajouter un réglage grossier obtenu grâce à un signal de commande analogique ou logique. Pour cela, et ainsi que le montre la figure 4, on ajoute en parallèle dans les circuits oscillants 121", 122" un ou plusieurs ensembles de condensateurs MOS pilotés par un signal de commande. Dans l'exemple représenté sur la figure 4, deux ensembles de condensateurs MOS sont pilotés par deux signaux c_1 , c_2 de commande numérique codés sur 2 bits, ce qui donne 4 positions de réglage grossier.

d'un desdits transistors MOS (M5, M6).

6. Oscillateur selon la revendication 4, **caractérisé en ce qu'il** comporte un étage amplificateur (200') constitué de deux transistors MOS (M5 M6') de même polarité disposés en série, chaque sortie ($s'1$, $s'2$) dudit étage oscillant (100') étant reliée à la grille d'un desdits transistors MOS (M5, M6').

Revendications

1. Oscillateur commandé en tension, comportant un étage oscillant (100 ; 100') présentant une structure à deux inverseurs (111, 112 ; 111', 112') couplés réalisés en technologie CMOS, **caractérisé en ce que** lesdits inverseurs sont câblés pour former un quadripôle (110 ; 110') à deux entrées (e_1 , e_2 ; $e'1$, $e'2$) et deux sorties (s_1 , s_2 ; $s'1$, $s'2$), correspondant respectivement aux entrées et aux sorties des inverseurs, le gain du quadripôle (110 ; 110') étant maximal sur chacune des sorties quand les entrées sont en phase, et **en ce que** deux circuits oscillants (121, 122) sont disposés en parallèle respectivement entre les entrées (e_1 , e_2 ; $e'1$, $e'2$) et les sorties (s_1 , s_2 ; $s'1$, $s'2$) des inverseurs, lesdits circuits oscillants (121, 122) étant commandés en fréquence par une tension (V_t) d'accord.
2. Oscillateur selon la revendication 1, **caractérisé en ce que** chaque inverseur (111, 112 ; 111', 112') est constitué de deux transistors MOS (M1, M2, M3, M4) de polarité opposée disposés en série, l'entrée (e_1 , e_2 ; $e'1$, $e'2$) de l'inverseur étant située sur la grille d'un transistor (M1, M3) d'une première polarité et la sortie au point milieu des deux transistors.
3. Oscillateur selon la revendication 2, **caractérisé en ce que** l'entrée (e_1 , e_2) d'un inverseur (111, 112) est reliée à la grille du transistor (M4, M2) d'une deuxième polarité de l'autre inverseur, la deuxième polarité étant opposée à ladite première polarité.
4. Oscillateur selon la revendication 2, **caractérisé en ce que** la sortie ($s'1$, $s'2$) d'un inverseur (111', 112') est reliée à la grille du transistor (M4, M2) d'une deuxième polarité de l'autre inverseur, la deuxième polarité étant opposée à ladite première polarité.
5. Oscillateur selon la revendication 3, **caractérisé en ce qu'il** comporte un étage amplificateur (200) constitué de deux transistors MOS (M5, M6) de polarité opposée disposés en série, chaque sortie (s_1 , s_2) dudit étage oscillant (100) étant reliée à la grille

FIG. 1
(ART ANTERIEUR)

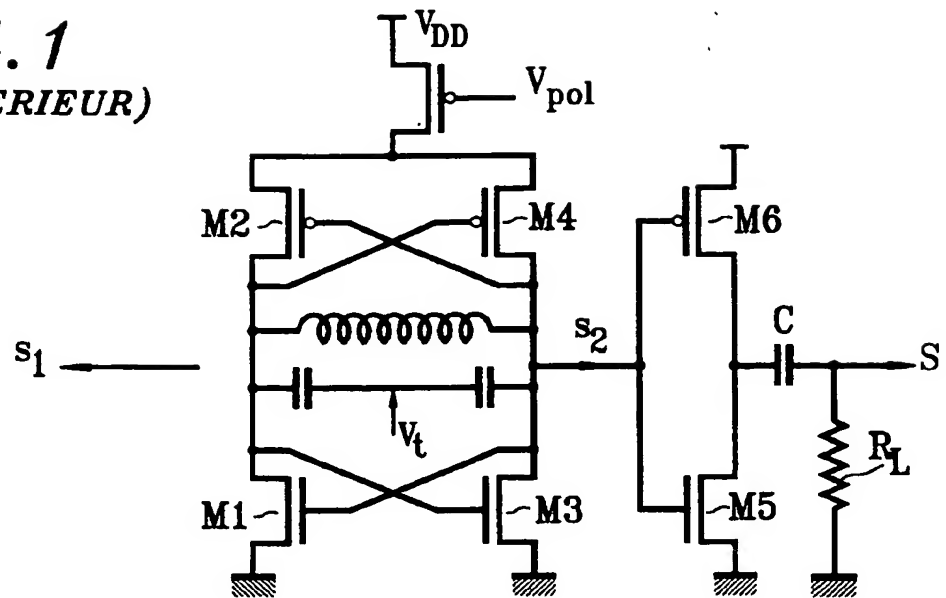


FIG. 2

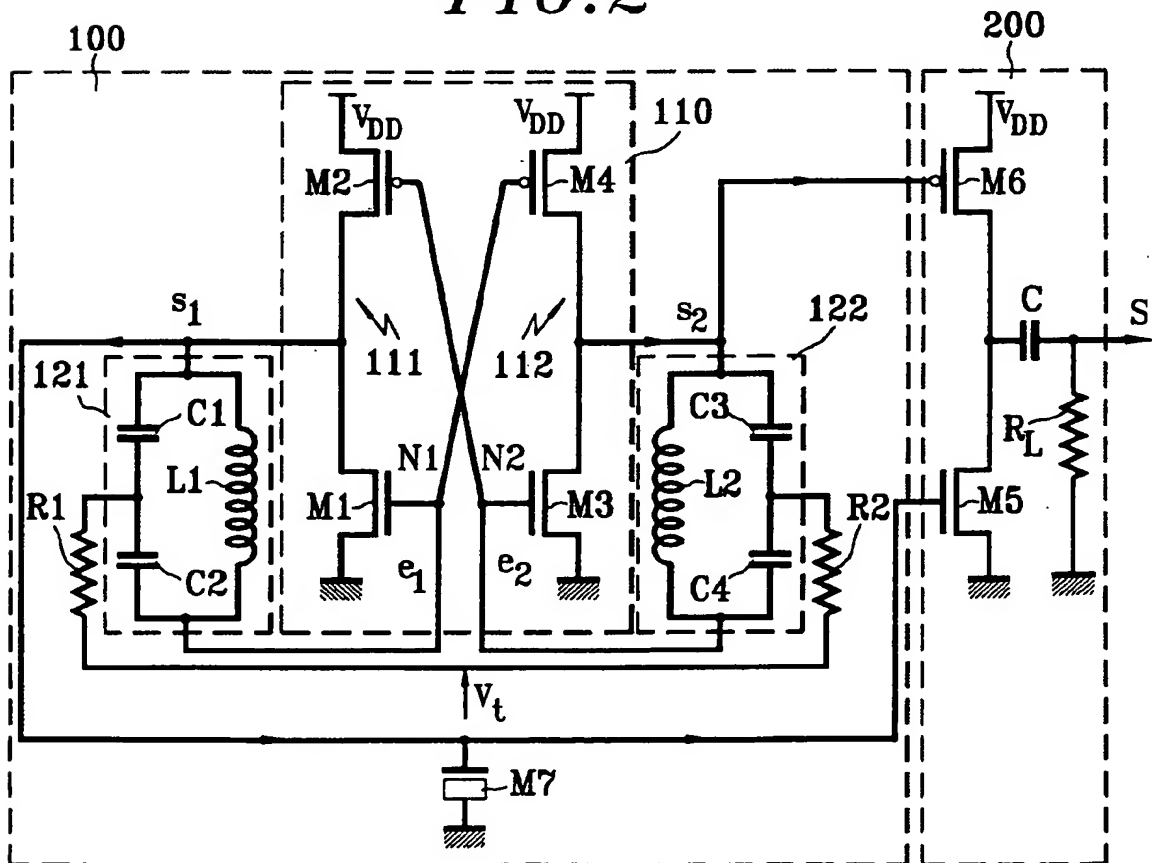


FIG. 3

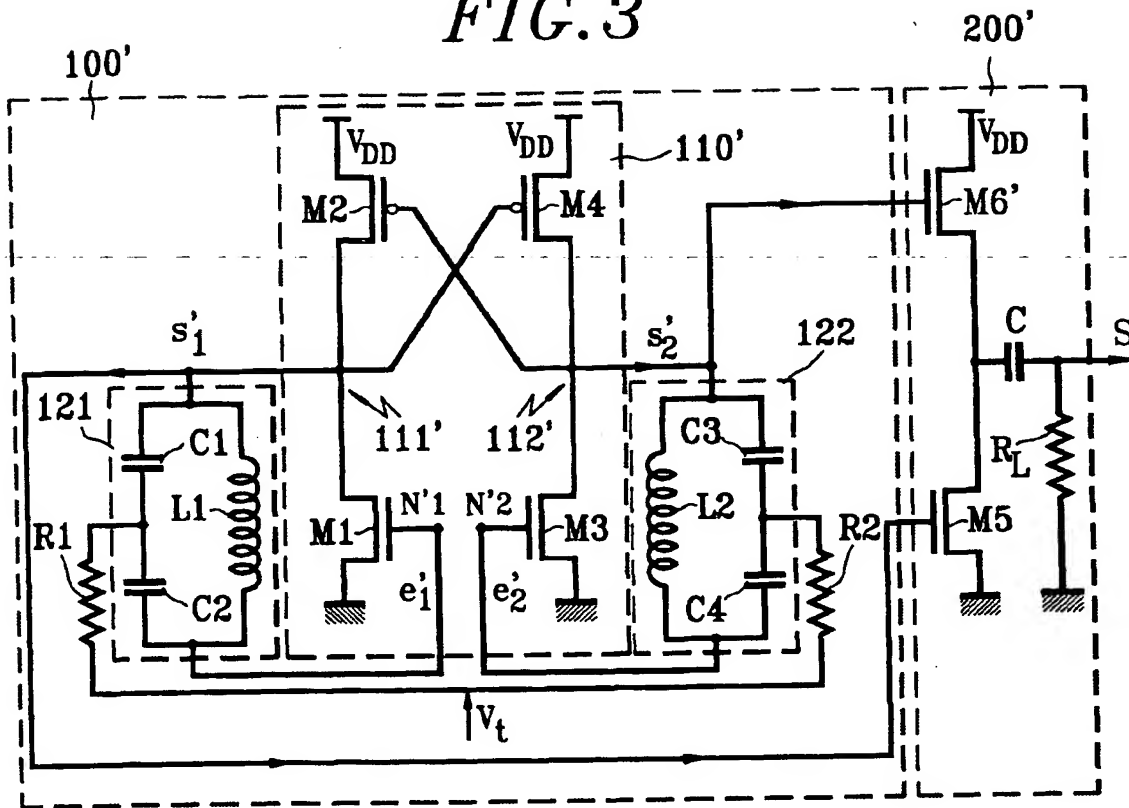
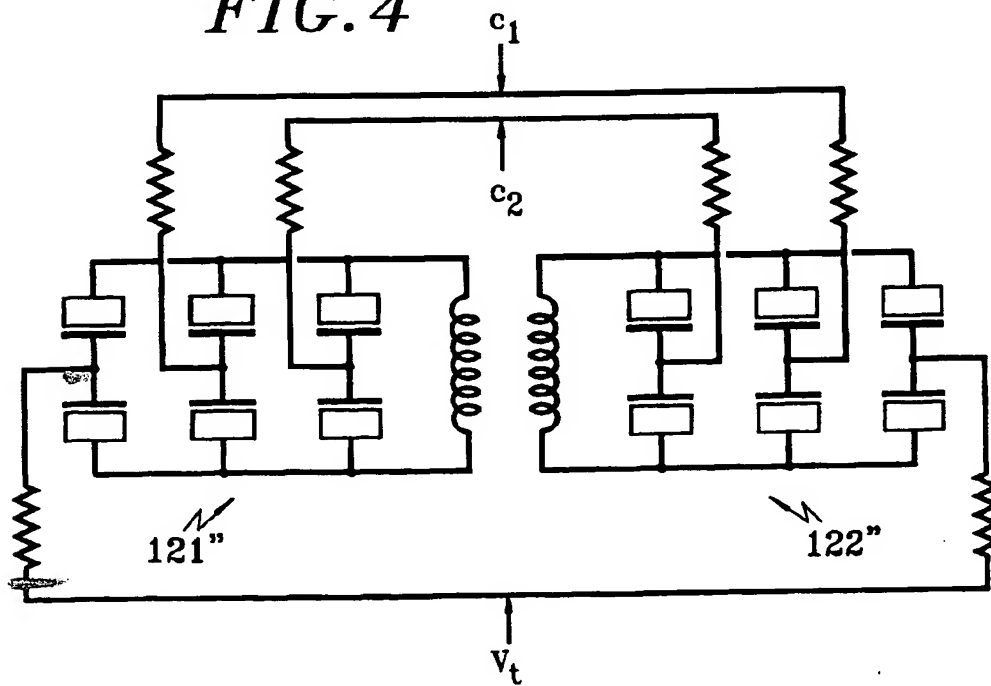


FIG. 4



(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 1 187 308 A3

(12)

DEMANDE DE BREVET EUROPEEN

(88) Date de publication A3:
26.03.2003 Bulletin 2003/13

(51) Int Cl.7: H03B 5/12

(43) Date de publication A2:
13.03.2002 Bulletin 2002/11

(21) Numéro de dépôt: 01402213.1

(22) Date de dépôt: 23.08.2001

(84) Etats contractants désignés:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE TR
Etats d'extension désignés:
AL LT LV MK RO SI

(72) Inventeur: Majos, Jacques
38420 Le Versoud (FR)

(74) Mandataire: Lemoyne, Didier
France Telecom
R&D/VAT/VPI
38-40, rue du Général Leclerc
F-92794 Issy-les-Moulineaux Cx 9 (FR)

(71) Demandeur: FRANCE TELECOM
75015 Paris (FR)

(54) Oscillateur commande en tension

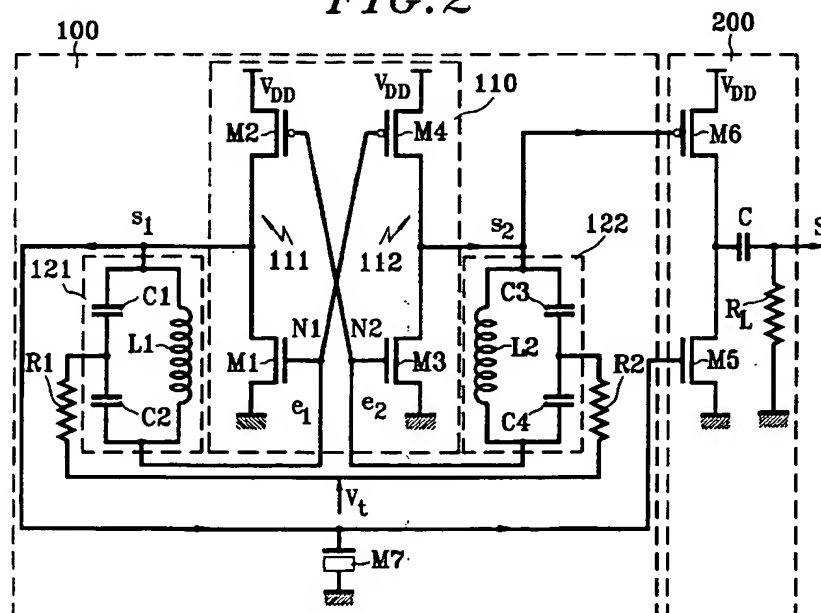
(57) Oscillateur commandé en tension, comportant un étage oscillant (100 ; 100') présentant une structure à deux inverseurs (111, 112 ; 111', 112') couplés réalisés en technologie CMOS.

Selon l'invention, lesdits inverseurs sont câblés pour former un quadripôle (110 ; 110') à deux entrées (e1, e2 ; e'1, e'2) et deux sorties (s1, s2 ; s'1, s'2), correspondant respectivement aux entrées et aux sorties des inverseurs, le gain du quadripôle (110 ; 110') étant

maximal sur chacune des sorties quand les entrées sont en phase, et en ce que deux circuits oscillants (121, 122) sont disposés en parallèle respectivement entre les entrées (e1, e2 ; e'1, e'2) et les sorties (s1, s2 ; s'1, s'2) des inverseurs, lesdits circuits oscillants (121, 122) étant commandés en fréquence par une tension (Vt) d'accord.

Application à l'émission et à la réception radio haute fréquence.

FIG.2





Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 01 40 2213

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.7)
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 157 (E-1058), 19 avril 1991 (1991-04-19) & JP 03 029504 A (ANRITSU CORP), 7 février 1991 (1991-02-07) * abrégé *	1-5	H03B5/12
A	GB 2 338 849 A (MOTOROLA INC) 29 décembre 1999 (1999-12-29) * page 3, ligne 25 - page 6, ligne 17; figure 2 *	1	
A	POLLMAN M D ET AL: "A MMIC RADAR CHIP FOR USE IN AIR-TO-AIR MISSILE FUZING APPLICATIONS" IEEE MTT-S INTERNATIONAL MICROWAVE SYMPOSIUM DIGEST, UI, NEW YORK, IEEE, 17 juin 1996 (1996-06-17), pages 253-256, XP000704895 ISBN: 0-7803-3247-4 * page 255, colonne de gauche, ligne 1 - ligne 24; figure 5 *		DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7)
A	US 5 483 207 A (GABARA THADDEUS J) 9 janvier 1996 (1996-01-09) * colonne 4, ligne 22 - ligne 31; figure 3 * -----	1-5	H03B
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 29 janvier 2003	Examineur Beasley-Suffolk, D
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière plan technologique O : divulgation non-écrite P : document intermédiaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

EPO FORM 1503 03.82 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 01 40 2213

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

29-01-2003

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
JP 03029504	A	07-02-1991	JP	2828463 B2	25-11-1998
GB 2338849	A	29-12-1999	DE	69904288 D1	16-01-2003
			WO	9967876 A1	29-12-1999
			EP	1032971 A1	06-09-2000
US 5483207	A	09-01-1996	CA	2164995 A1	01-07-1996
			EP	0720185 A1	03-07-1996
			JP	8256015 A	01-10-1996

EPO FORM P46C

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82

THIS PAGE BLANK (USPTO)